

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-207726

(43)Date of publication of application : 07.08.1998

(51)Int.Cl.

G06F 11/10

G06F 3/06

G06F 12/16

(21)Application number : 09-024437

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 23.01.1997

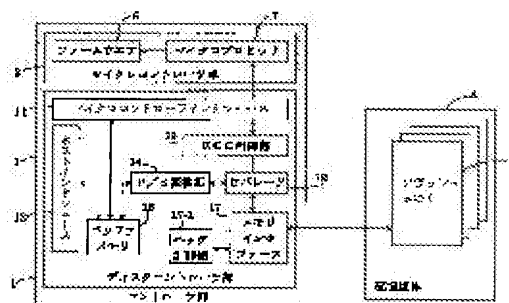
(72)Inventor : BEPPU ATSUSHI

(54) SEMICONDUCTOR DISK DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To speed up error correction by judging the existence of an error in data by generating error correction code(ECC) data and referring to the ECC data and then executing operation for executing necessary correction.

SOLUTION: A disk controller part 3 is provided with a microcontroller interface 11, a host interface 12, a buffer memory 13, a parallel/serial(P/S) conversion part 14, an ECC control part 15, a separator 16, and a memory interface 17. The buffer memory 13 temporarily stores the data of unit volume to be simultaneously written in a recording medium. The ECC control part 15 divides the data of unit volume to be transferred from the memory 13 to the medium 4 into the prescribed number of banks, generates ECC data in each bank, adds the generated ECC data to data stored in the medium 4, and executes the judgement of existence of a data error and necessary error correction in each bank based on ECC data in data read out from the medium 4.



(43)公開日 平成10年(1998)8月7日

(51) Int.Cl.⁶

識別記号

FI

G O 6 F 11/10
3/06
12/16

3 3 0
3 0 5
3 2 0

G O 6 F 11/10
3/06
12/16

330 K
305 C
320 F

審査請求 未請求 請求項の数 5 F D (全 11 頁)

(21)出願番号

特願平9-24437

(22)出願日

平成9年(1997)1月23日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 別府 敦

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 弁理士 佐藤 幸男 (外1名)

(54) 【発明の名称】 半導体ディスク装置

(57) 【要約】

【解決手段】 バッファメモリ13には、1セクタ分のデータが格納される。これが、セパレータ16でいくつかのバンクに分割され、各バンク毎にエラー訂正コードデータが付加される。記憶媒体4から読み出されたデータはバンク毎にエラーチェックと必要な訂正が行われる。

【効果】 1セクタ毎のエラー訂正では訂正できないような、1セクタあたり数ビット以上のエラーが訂正できる。また、エラーチェックの対象データが短くなり、チェックや訂正が高速化する。

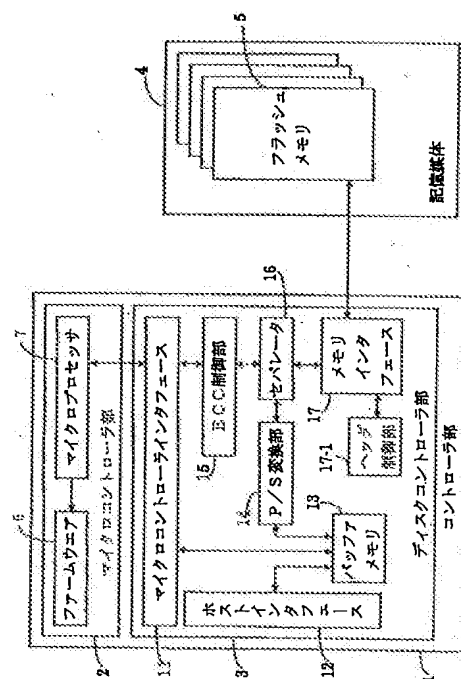


図 10 半導体ディスプレイ装置ブロック図

【特許請求の範囲】

【請求項1】 記憶媒体に向けて転送するための単位量のデータを保持するバッファメモリと、このバッファメモリから記憶媒体に転送される単位量のデータを所定数のバンクに分割し、各バンク毎にエラー訂正コードデータを生成して記憶媒体中のデータに付加するとともに、前記記憶媒体から読み出されたデータに含まれるエラー訂正コードデータにより、各バンク毎にデータエラーの有無判断と必要なエラー訂正を行うECC（エラー訂正コード）制御部とを備えたことを特徴とする半導体ディスク装置。

【請求項2】 請求項1において、ECC制御部は、バンク毎のエラー訂正コードデータをデータの各バンクの末尾に付加して記憶媒体に記憶させることを特徴とする半導体ディスク装置。

【請求項3】 請求項1において、ECC制御部は、バンク毎のエラー訂正コードデータをまとめて単位量のデータの末尾に付加して記憶媒体に記憶させることを特徴とする半導体ディスク装置。

【請求項4】 記憶媒体に向けて転送するための単位量のデータを保持するバッファメモリと、このバッファメモリから記憶媒体に転送される単位量のデータを複数のデータバンクに分割し、各バンク毎に前記単位量のデータ長に満たない部分に無効データを連結して、それぞれ別々の後記ECC制御部に転送するスイッチ部と、それぞれこのスイッチ部からデータを受け入れてエラー訂正コードデータを生成して記憶媒体中のデータに付加するとともに、前記記憶媒体から読み出されたデータに含まれるエラー訂正コードデータによりデータエラーの有無判断と必要なエラー訂正を行う複数のECC（エラー訂正コード）制御部とを備えたことを特徴とする半導体ディスク装置。

【請求項5】 請求項4において、スイッチ部は、バッファメモリから記憶媒体に転送される単位量のデータを複数のデータバンクに分割し、相互に隣接しないバンクを組み合わせたバンク群を設定し、各バンク群毎に前記単位量のデータ長に満たない部分に無効データを連結して、それぞれ別々のECC制御部に転送することを特徴とする半導体ディスク装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、記憶されたデータを読み出したとき、エラー箇所を検出してそれを訂正する機能を持つ半導体ディスク装置に関する。

【0002】

【従来の技術】 半導体ディスク装置は、磁気ディスク等と比較すると、記憶容量やコストの面でやや不利な点があるものの、アクセスの高速性や小型化を図る上で有利であるという特徴を備える。半導体ディスク装置にデー

タを書き込む場合、データはセクタという単位で一括して書き込まれ読み出される。書き込まれるデータは、例えば512バイトのデータ部にそのデータに関する属性情報等を備えたヘッダ部を付加し、更にエラー訂正のためのECC（エラー訂正コード）データを付加して構成される。ホストから転送された1セクタ分のデータは、半導体ディスク装置に例えば、8ビットあるいは16ビットずつパラレルに転送され格納される。このとき、同時に1セクタ分のデータがECC制御部に転送されてエラー訂正コードデータが生成される。従って、データの転送終了後、続いてエラー訂正コードデータが半導体ディスク装置に書き込まれる。

【0003】 こうして格納されたデータとエラー訂正コードデータとは、半導体ディスク装置から1セクタ分として一括して読み出される。その後、ECC制御部はエラーの有無の計算を行う。1セクタ内にエラーが存在しない場合、そのデータはそのままホストへ転送される。一方、エラーが存在する場合、ECC制御部あるいはファームウェアによって、訂正可能なエラーが訂正され、ホストへデータが送られる。

【0004】

【発明が解決しようとする課題】 ところで、上記のような従来の半導体ディスク装置には次のような解決すべき課題があった。半導体ディスク装置から読み出されたエラー訂正コードデータを、ECC制御部が解析してエラーが存在すると判断した場合、1セクタ分の全ビットについてエラーの有無を判断してその訂正を行う。しかしながら、例えば1ビットのエラー検出のために、512バイト即ち512×8ビットのデータ全体を確認する処理が必要となり、ECC制御部の負担が比較的大きいという課題があった。

【0005】 更に、1セクタ内のエラー発生数が例えば1ビットの場合には、ゲート回路等のハードウェアで構成されたECC制御部がその訂正をする。一方、2ビットあるいは3ビット程度の誤りがある場合には、ファームウェアによる訂正が行われる。従って、エラー発生数が2ビット以上の場合、ファームウェアの負担が大きくなり、ハードウェアよりも訂正処理に時間がかかる。このため、エラー訂正のスループットが低下するという課題があった。

【0006】 また、通常、ファームウェアによってエラーを訂正する場合でも、1セクタ分のデータに対して4ビット以上のエラーが存在する場合には訂正が不能になる。従って、半導体ディスク装置への読み書きの最小単位であるセクタを構成するデータ数が増えれば、誤りビットの含まれる確率も高まり、訂正不能なデータも増えるという課題がある。半導体ディスク装置は、一定回数以上データの書き込みや消去を繰り返すと、エラーの発生率が急激に増大するという特徴を持つ。従って、エラーが頻繁に発生した場合には、まずそのエラーを訂正し

10

20

30

40

50

て、プログラムを正常に動作させて終了させる一方、エラーが生じたセクタ分の記憶領域を使用禁止にし、他の領域即ち代替トラックを設定するといった処理を行う。こうした点でも、代替トラック設定処理が終了する前のセクタについてデータの読み書きを行う場合には、プログラムが異常終了することがないようなシステムが好ましい。

【0007】

【課題を解決するための手段】本発明は以上の点を解決するため次の構成を採用する。

〈構成1〉記憶媒体に向けて転送するための単位量のデータを保持するバッファメモリと、このバッファメモリから記憶媒体に転送される単位量のデータを所定数のバンクに分割し、各バンク毎にエラー訂正コードデータを生成して記憶媒体中のデータに付加するとともに、上記記憶媒体から読み出されたデータに含まれるエラー訂正コードデータにより、各バンク毎にデータエラーの有無判断と必要なエラー訂正を行うECC〈エラー訂正コード〉制御部とを備えたことを特徴とする半導体ディスク装置。

【0008】〈構成2〉構成1において、ECC制御部は、バンク毎のエラー訂正コードデータをデータの各バンクの末尾に付加して記憶媒体に記憶させることを特徴とする半導体ディスク装置。

【0009】〈構成3〉構成1において、ECC制御部は、バンク毎のエラー訂正コードデータをまとめて単位量のデータの末尾に付加して記憶媒体に記憶させることを特徴とする半導体ディスク装置。

【0010】〈構成4〉記憶媒体に向けて転送するための単位量のデータを保持するバッファメモリと、このバッファメモリから記憶媒体に転送される単位量のデータを複数のデータバンクに分割し、各バンク毎に上記単位量のデータ長に満たない部分に無効データを連結して、それぞれ別々の後記ECC制御部に転送するスイッチ部と、それぞれこのスイッチ部からデータを受け入れてエラー訂正コードデータを生成して記憶媒体中のデータに付加するとともに、上記記憶媒体から読み出されたデータに含まれるエラー訂正コードデータによりデータエラーの有無判断と必要なエラー訂正を行う複数のECC〈エラー訂正コード〉制御部とを備えたことを特徴とする半導体ディスク装置。

【0011】〈構成5〉構成4において、スイッチ部は、バッファメモリから記憶媒体に転送される単位量のデータを複数のデータバンクに分割し、相互に隣接しないバンクを組み合わせたバンク群を設定し、各バンク群毎に上記単位量のデータ長に満たない部分に無効データを連結して、それぞれ別々のECC制御部に転送することを特徴とする半導体ディスク装置。

【0012】

【発明の実施の形態】以下、本発明の実施の形態を具体

例を用いて説明する。

〈具体例1〉図1は、具体例1の半導体ディスク装置を示すブロック図である。この装置は、コントローラ部1が、半導体から構成された記憶媒体4に対してデータを読み書き制御するものである。コントローラ部1は、マイクロコントローラ部2とディスクコントローラ部3により構成される。また、記憶媒体4は、任意の数のフラッシュメモリ5から構成される。このフラッシュメモリ5は、不揮発性の半導体記憶装置を構成している。マイクロコントローラ部2は、データに誤りビットが数ビット以上ある場合に、ファームウェアを用いてその訂正処理をするための部分である。ファームウェア6は、このような訂正用プログラムで、マイクロプロセッサ7がそのプログラムを読み取ってデータの訂正処理を実行する。

【0013】ディスクコントローラ部3には、マイクロコントローラインタフェース11、ホストインタフェース12、バッファメモリ13、P/S（パラレル・シリアル）変換部14、ECC制御部15、セパレータ16及びメモリインタフェース17が設けられている。ホストインタフェース12は、図示しないホストと接続され、記憶媒体4に記憶するデータを受け入れたり、記憶媒体4から読み出されたデータをホストに送信する役割を持つ。バッファメモリ13は、記憶媒体4に1回で書き込みを行う単位量のデータを一時格納するメモリである。従って、例えば1セクタ分のデータが書き込みあるいは読み出しの際にここに一時格納される。1セクタが何バイトで構成されるかは装置の設計による。

【0014】P/S変換部14は、バッファメモリ13に格納されたデータをシリアルにメモリインタフェース17の側に転送するための変換器である。ECC制御部15は、よく知られたエラー訂正コードデータを生成したり、あるいはこのエラー訂正コードデータを参照してデータのエラーの有無を判断し必要な訂正をする動作を行う部分である。セパレータ16は、これから説明する本発明に従って、入力するデータを所定数のバンクに分割して、ECC制御部15やメモリインタフェース17に転送する制御を行う部分である。マイクロコントローラインタフェース11は、マイクロコントローラ部2とバッファメモリ13との間のデータ転送を制御する部分で、ここを介してマイクロコントローラ部2がバッファメモリ13に格納されたデータをアクセスし、その訂正処理等が行われる。

【0015】また、メモリインタフェース17は、ディスクコントローラ部3から記憶媒体4のフラッシュメモリ5に格納されるべきデータを転送しあるいは記憶媒体4から読み出されたデータをディスクコントローラ部3に受け入れるための役割を果たす。また、メモリインタフェース17はヘッダ制御部17-1にも接続されている。このヘッダ制御部17-1は、ヘッダ部を保持する

レジスタを持ち、ヘッダ部に対するエラー訂正コードの生成及びエラーの有無の計算を行う。また、必要に応じて、ヘッダ部のエラー訂正を行う。

【0016】図2には、具体例1による格納データの説明図を示す。この図を用いて、本発明の図1に示したような装置によって記憶媒体4に格納されるデータの構成を説明する。図1に示した装置は、フラッシュメモリ5に格納するデータの構成をこの図に示すように組み立てる。このデータは、図2(a)に示すように、ヘッダ部Hに続いて、データ部とECCデータ部とが交互に繰り返す構成とされている。

【0017】図2の(b)に示すデータは、従来の構成のデータであり、これと比較しながら本発明のデータ構成を説明する。即ち、図2の(b)に示すように、従来はヘッダ部Hとデータ部DとECCデータ部DEによってメモリに格納されるデータが構成されていた。ヘッダ部Hは、この構成には限定されないが、例えば、フラグ部H1、カウンタ部H2、リザーブH3及びECCデータ部HEから構成される。データ部Dは実際にユーザが使用するデータである。ヘッダ部Hは、このデータを管理するためのフラグをフラグ部H1に、書き換え回数を表示するカウンタをカウンタ部H2に格納している。また、ECCデータ部HEにはヘッダ制御部17-1によって生成されるヘッダ部Hに対するエラー訂正コードが格納されている。データ部Dは、そのエラー訂正のために別途ECCデータ部DEを備えている。

【0018】図(a)に示した具体例においては、データ部をn個のバンクに分割する。そのバンク名をバンクB1, B2, …Bnと表示した。例えば、データ部が512バイトで構成される場合、8個のバンクに分解すると、それぞれ64バイトのバンクを構成する。そして、その後ろに各バンクのエラー訂正に使用されるECCデータ部E0, E1, …Enが付加される。

【0019】図1の装置は、バッファメモリ13に単位量即ち1セクタ分のデータを保持する。そして、P/S変換部14は、このデータをシリアルにセパレータ16に向けて転送する。このデータは、1バンク分ずつECC制御部15とメモリインタフェース17に向けて転送される。メモリインタフェース17に転送されたデータはフラッシュメモリ5にそのまま順番に書き込まれる。一方、ECC制御部15に転送されたデータは、ECCデータ生成に使用される。

【0020】ECC制御部15はデータを受け入れると、直ちに、生成したECCデータをセパレータ16及びメモリインタフェース17を介してフラッシュメモリ5に転送する。これによって、図2(a)に示すように、バンクB0の次にECCデータ部E0が付加される。同様にバンクB1, バンクB2, …についてもその、データ転送直後にECCデータ部E1, E2, …が付加されて、最終的にデータ部とECCデータ部を組

み合わせたデータがフラッシュメモリ5に格納されることになる。

【0021】図3には、従来の装置による比較例のデータ転送タイミングチャートを示す。また、図4には、具体例1のデータ転送タイミングチャートを示す。上記図2(b)に示した比較例のデータの場合、例えば図3に示すような要領でデータが転送され最終的にフラッシュメモリ5に格納される。図3(a)は、バッファメモリ13からデータが読み出されて転送されるタイミングを示す。また、図3(b)は、ECC制御部15からECCデータが転送されるタイミングを示し、図3(c)にはメモリインタフェース17から記憶媒体4へ転送されるデータを示す。

【0022】図3の(a)に示すように、ヘッダ制御部17-1によってヘッダ部用のECCが付加されたヘッダ部Hがヘッダ制御部17-1からメモリインタフェースに向けて転送されると、メモリインタフェースはヘッダ部Hをフラッシュメモリ5に書き込む。ヘッダ部Hの転送が終了すると、バッファメモリからは今度はデータ部DがECC制御部やメモリインタフェースに向かって転送される。ECC制御部はこのデータを受け入れ、データ受け入れ完了時にECCデータ部DEを生成して、その後メモリインタフェースに対しECCデータ部DEを転送する。メモリインタフェースでは、この図に示すように、ヘッダ部H、データ部D、データ用のECCデータ部DEを順番に転送する。こうして、図2(b)の構成のデータがフラッシュメモリ5に格納される。

【0023】図1に示した本発明の装置では、図2(a)に示すように、データが複数のバンクB0~Bnに分割され、それぞれのバンクのデータ転送に続いて、それぞれのバンクのエラー訂正を行うためのECCデータ部E0~Enが付加されるようメモリインタフェースに転送される。図4の(a)、(b)、(c)は、図3と同様の要領で作成したタイミングチャートである。即ち、図4(a)において、バッファメモリから順に、データのバンクB0, バンクB1, バンクB2, バンクBnが、所定のタイミングで所定の間隔を空けて出力される。

【0024】ECC制御部にバンクB0, B1, B2が送り込まれると、同様にこれらエラー訂正のためのECCデータ部E0, E1, E2を生成し、これに対応するデータに付加するように、メモリインタフェースに向けて転送する。その結果、メモリインタフェースにはこの図4(c)に示すように、ヘッダ部H、バンクB0、バンクB0用のECCデータ部E0、バンクB1、…というように連続的にデータが生成され転送されて、フラッシュメモリ5に書き込まれる。上記のようにして書き込まれたデータを読み出した場合に、エラー検出とエラー訂正処理が、次のようにして実行される。

【0025】図5は、エラー訂正処理の動作フローチャ

ートである。まず、フラッシュメモリ5から1セクタ分のデータが読み出される(ステップS1)。このデータはバッファメモリ13に一時格納される。続いて、ECCデータがECC制御部15に読み取られる。そして、エラー有無の計算が行われる(ステップS2)。この計算は既知のECC制御部と変わらない。次に、エラーがあるかどうかの判断がされる(ステップS3)。エラーがない場合にはステップS9までジャンプし、バッファメモリ13に格納されたデータがそのままホストインタフェース3を介してホストに転送される。一方、エラーが検出された場合にはステップS4に進み、1ビットエラーかどうか判断される。1ビットエラーの場合にはステップS6に進み、ECC制御部15によるハードウェア処理に基づく訂正が行われる。このハードウェア処理に基づく訂正は極めて高速処理が可能である。

【0026】一方、ステップS4で2ビット以上のエラーと判断されるとステップS5に進む。そして、2ビットあるいは3ビットエラーの場合にはステップS5からステップS7に進み、ファームウェア訂正が行われる。即ち、訂正処理が図1に示すマイクロコントローラ部2に渡されて、ファームウェア6によってバッファメモリ13に格納されたデータの内容が訂正される。4ビット以上のエラーについては、この例では訂正できないエラーと判断する。従って、ステップS5からステップS8に進み、訂正不能処理が行われる。エラーが訂正できた場合には、いずれの場合にも、訂正後のデータがホストインタフェース3を介してホストに転送される。

【0027】〈具体例1の効果〉図6を用いて、本発明の効果を具体的に説明する。図6の(a)、(b)、(c)は、従来の通り、1セクタ分のデータについてエラーを生じた場合の処理を示す。また、図6(d)は、具体例1によってデータを例えば4つのバンクB0~B3に分割した場合のエラー訂正処理を示す。(a)に示したものは、1セクタに1ビットのエラーがある場合の例である。このような場合、ECCデータに基づいてエラー訂正が可能である。しかも、1ビットエラーであるから、ECC制御部によるハードウェア訂正が可能となる。なお、この場合、1セクタ512バイトのデータ全てについて訂正位置の探索を行うことから、処理を高速に行おうとすれば複雑なハードウェアを必要とする。1セクタを構成するデータ量が多くなれば、更にハードウェアの負担が増える。

【0028】図6(b)は、1セクタ中に2ビットのエラーが存在した場合を示す。この場合にも、従来の装置により訂正が可能である。なお、この場合は、ファームウェアによってエラー訂正を行うことから、ハードウェアによる訂正の場合よりも若干処理に時間がかかる。図6(c)は、1セクタのデータに対し4ビットのエラーが生じた例を示す。この場合、上記の例ではファームウェアを用いても訂正が不可能となる。なお、ハードウェア

アもファームウェアも設計により訂正可能なビット数は増減する。

【0029】一方、図6(d)に示すように、複数のバンクにデータ部を分割すると、バンクB0、B1、B2、B3を見た場合に、エラー箇所が分散していると、各バンクには1ビットあるいは2ビットまでのエラーしか存在しない。従って、バンク毎にECCデータを生成しておけば、図に示すように、バンクB0、バンクB1、バンクB3はエラー訂正が可能で、バンクB2はエラーが無いということになる。

【0030】本発明では、このように複数のバンクにデータを分割することによって、単位量のデータ全体を見た場合に、訂正不可能なビット数のエラーが存在したとしても、訂正が可能になるという効果がある。しかも、複数のバンクそれぞれを見ると、例えば図6(d)のバンクB0とB1については、それぞれ1ビットエラーのためハードウェアによるスピーディな訂正が可能である。しかも、訂正の対象となるバンクのデータビット数は少ないことから、訂正作業も高速に行うことができる。その結果、全体としてファームウェアにかかる負担が軽くなり、エラー訂正の高速化が実現できる。

【0031】例えば、1セクタのデータを4096ビットとした場合に、512ビットのバンクを8個設ける。4096ビットのデータに対しては90ビット程度のECCデータが必要となる。これを512ビットずつ8バンクに分割した場合、各バンク毎に10ビットあるいは十数ビットのECCデータを付加すればよい。従って、データ長自体は全体として著しく長くなるわけではない。しかも、そのデータをシリアルに転送しながらエラーチェックや訂正を行うことから、ECCデータの部分が增加したとしても、系統的に訂正が複雑になったり訂正等の時間が大幅に増加することはない。従って、上記のような効果を得ることができる。

【0032】図7には、具体例1の変形例による格納データ説明図を示す。図2(a)のように、データ部のバンクとそのECCデータとを交互に配列すると、ハードウェアの構成は従来とほぼ同様で、エラー訂正の対象となるデータ幅を少なくするだけで対応が可能である。一方、この図に示すように、データの前半に全てバンクB0~Bnを集中させ、データの末尾に各バンクに対応するECCデータ部E0~Enを連結するという構成も可能である。即ち、この例では、バンクB0、B1、B2、...Bnをヘッダ部Hの末尾に付加し、更にその末尾にECCデータ部E0、E2、...Enを付加した構成にした。こうしても、従来訂正不可能であったエラーについての対応が可能となる。書き込み回数が一定以上を越えるといろいろな箇所エラーが発生しやすくなる半導体ディスク装置には、こうしたエラー訂正システムが極めて有効である。

【0033】〈具体例2〉図8に、具体例2の半導体デ

ディスク装置ブロック図を示す。上記の具体例では、ECC制御部がECCデータを生成する対象となるデータのビット幅がバンク単位になることから、新たなECC制御部の設計が必要となる。この具体例2では、ECC制御部の構成は従来通りにし、ECC制御部を複数設けることによって、具体例1と同様の効果を得るようにしている。図8はその実現のための装置構成を示す。即ち、図8のディスクコントローラ部3には、P/S変換部14の出力側にスイッチ部18を設け、これによって2個のECC制御部20、21にデータを振り分ける構成となっている。ECC制御部はバンクB0用ECC制御部20と、バンクB1用ECC制御部21という2個の回路により構成する。いずれも従来通りの1セクタ分のデータについてECCデータを生成し、あるいはデータを訂正する機能を持つ回路とする。その他の部分の構成は、具体例1と変わるところはない。

【0034】図9には、具体例2の装置のデータ転送タイミングチャートを示す。この具体例は、バンクB0用ECC制御部20とバンクB1用ECC制御部21に受け入れられるデータの内容に特徴がある。従って、この図を用いてその特徴を説明する。図9(a)は、バンクB0用ECC制御部20に送り込まれるデータの内容を示している。図9(b)は、バンクB1用ECC制御部21に送り込まれるデータの内容を示している。図9(c)は、メモリインタフェースを通じてメモリに記憶されるデータの内容を示している。まず、この図に示す時刻t1からデータの転送が開始される。なお、この前に、図8に示すバッファメモリ13に1セクタ分のデータが格納されているものとする。

【0035】時刻t1からデータの転送が開始され、時刻t2までにバンクB0についてのデータが転送される。これはスイッチ部18を介してバンクB0用ECC制御部20とメモリインタフェースに同時に送り込まれる。これによって、メモリにはバンクB0のデータが格納される。また、バンクB0用ECC制御部20には、丁度1セクタの2分の1のデータ、即ち1セクタ512バイトならば256バイトのデータが格納される。次に、時刻t2で、スイッチ部18がスイッチを切り換えてバンクB1用ECC制御部21に対しバンクB0のデータを転送する。同時に、メモリインタフェースに対しても同じバンクB1のデータが転送される。

【0036】なお、バンクB0用ECC制御部20に対しては、時刻t2から時刻t3の間、全て0のデータが送り込まれる。一方、バンクB1用ECC制御部21に対しては、時刻t1から時刻t2の間、全て0のデータが送り込まれているものとする。従って、時刻t1から時刻t3の間に、バンクB0にもバンクB1にも1セクタ分のデータが格納されることになる。ただし、バンクB0用ECC制御部20にはバンクB0のデータが前半に含まれたものが送り込まれ、バンクB1用ECC制御

部21にはバンクB1のデータが後半に含まれたものが送り込まれる。バンクB0用ECC制御部20は、バンクB0のためのECCデータを生成する。時刻t3からこのバンクB0用ECCデータが、バンクB0用ECC制御部20から出力される。これは、メモリインタフェースを介してメモリに送り込まれる。時刻t4になると、今度はバンクB1用ECC制御部21からバンクB1用ECCデータが出力される。従って、メモリインタフェースには時刻t4から時刻t5までの間、バンクB1用ECCデータが供給され、これがフラッシュメモリ5に格納される。

【0037】フラッシュメモリにはこのように、バンクB0とバンクB1のデータが順に格納され、その後に続いてバンクB0用ECCデータ部E0とバンクB1用ECCデータ部E1とが格納される。なお、この例では、バンクB0用ECC制御部20もバンクB1用ECC制御部21も、いずれも1セクタ分のデータに対するECCデータを出力することが特徴である。

【0038】〈具体例2の効果〉図10には、具体例2の効果説明図を示す。図10(a)には、バンクB0用ECC制御部により処理されるデータの内容を示す。図に示すように、前半にバンクB0用のデータが格納され、後半はオール0のデータとなっている。具体例1と同様に、前半と後半にバンクを振り分けたため、エラーが分散している場合には全体として訂正できなかった4ビット以上のエラーも訂正できる。また、2ビットエラーの場合、従来はファームウェア訂正であったのに対し、バンク分けにより分散されることでハードウェア訂正となる。即ち、図の(c)に示すように、バンクB0とバンクB1に、それぞれ2ビットずつエラーが生じているような場合でも訂正が可能であり、高速なエラー訂正も可能である。この場合に、従来と全く同様の構成のECC制御部を使用することができ、設計も容易である。

【0039】なお、例えば、図10の(d)に示すように、1ビットエラーがバンクB0とバンクB1の境界部分に集中しているとする。この場合、いずれのバンクも3ビット程度のエラーならば修正が可能となる。しかしながら、エラーの集中する箇所は必ずしもバンクB0とバンクB1の境界部分とは限らない。従って、複数箇所にエラーが集中している場合でも、具体例2と同様の効果を得るために、次のような変形が可能である。

【0040】図10(e)には、ハッチングを付した部分とハッチングを付していない部分を交互に配置したデータを示す。ここに、図10に示すように1ビットエラーが複数箇所存在するものとする。ここで、図10の(f)、(g)に示すように、ハッチングを付した部分はバンクB0用のデータとし、ハッチングを付していない部分はバンクB1用のデータとする。そして、それぞれをバンクB0用ECC制御部20及びバンクB1用E

CC制御部21に処理させる。このとき、図10(a)や図10(b)に示した場合と同様に、単位量即ち1セクタ分のデータ長に満たない部分にはオール0のような無効データを連結する。このため、図10(f)、図10(g)に示すように、バンクB0用ECC制御部20にもバンクB1用ECC制御部21にも1セクタ分の長さのデータが入力する。

【0041】しかしながら、その処理対象は図10に示すように、破線部分に実質的にオール0の無効データを含むから、この部分を除外した1セクタの2分の1となる。このため、図10(a)や図10(b)を用いて説明した場合と同様にして、各ECC制御部の処理負担が軽減され、処理速度が向上する。また、図10(e)に示したように、集中してエラーの生じる部分がデータ全体に分散しているような場合、この具体例によって訂正可能になるケースもある。なお、この図10(f)、図10(g)に示した例では、2個のECC制御部にデータを格納する構成としたが、4個あるいは8個のECC制御部を設け、データを分散するようにしてもよい。こうすれば、具体例1と同様にデータが分散され、従来訂正不可能であったデータの訂正が可能となる。また、ハードウェア訂正可能なケースが増えるから処理速度が向上するという効果もある。

【0042】上記の具体例では、例えばハードウェアによるエラー訂正が1ビット、ファームウェアによるエラー訂正が2ビットあるいは3ビット、4ビット以上は訂正不可能と説明したが、これは装置の設計により変更することもできる。従って、ハードウェアにより数ビットまで訂正できるようにすれば、エラー訂正の処理が高速化され、しかも多くのエラーが生じている場合もデータの訂正が可能となることから、半導体ディスク装置の信*

* 頼性を向上させ、その品質の維持が可能となる。

【図面の簡単な説明】

【図1】具体例1の半導体ディスク装置を示すブロック図である。

【図2】(a)は具体例1による格納データ、(b)は比較例の格納データ説明図である。

【図3】比較例のデータ転送タイミングチャートである。

【図4】具体例1のデータ転送タイミングチャートである。

【図5】エラー訂正処理の動作フローチャートである。

【図6】具体例1の効果説明図である。

【図7】具体例1の変形例による格納データの説明図である。

【図8】具体例2の半導体ディスク装置ブロック図である。

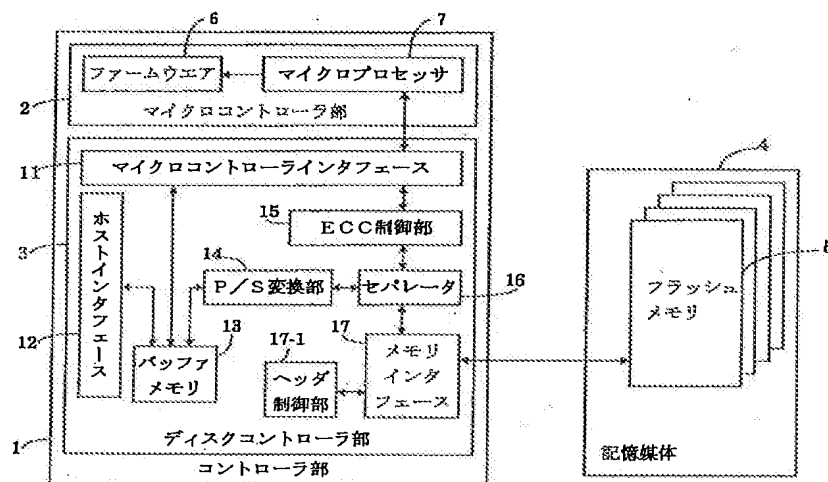
【図9】具体例2の装置のデータ転送タイミングチャートである。

【図10】具体例2の効果説明図である。

【符号の説明】

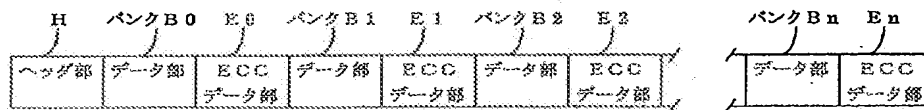
- 1 コントローラ部
- 2 マイクロコントローラ部
- 3 ディスクコントローラ部
- 4 記憶媒体
- 5 フラッシュメモリ
- 6 ファームウェア
- 7 マイクロプロセッサ
- 11 マイクロコントローラインタフェース
- 12 ホストインタフェース
- 13 バッファメモリ
- 14 P/S変換部
- 15 ECC制御部
- 16 セパレータ
- 17 メモリインタフェース
- 17-1 ヘッド制御部

【図1】

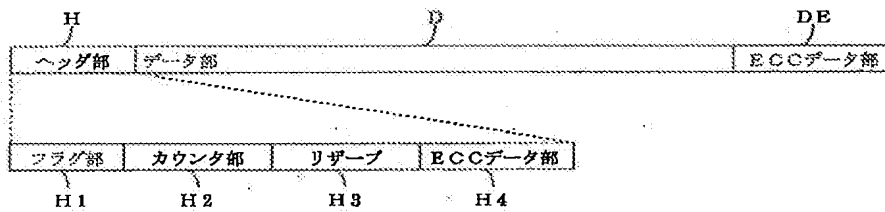


具体例1の半導体ディスク装置ブロック図

【図2】

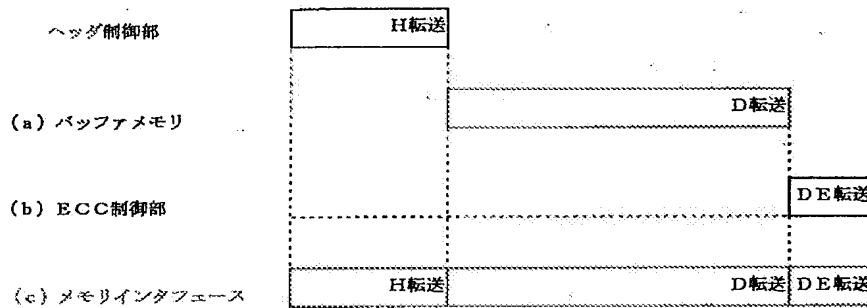


具体例1による格納データ
(a)



比較例の格納データ
(b)

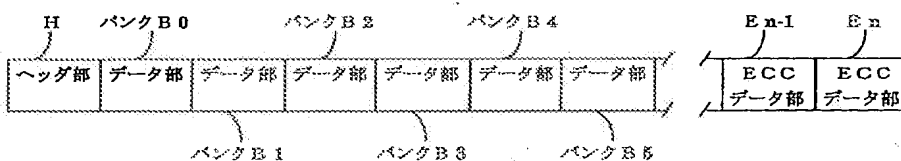
【図3】



H: ヘッダ部
D: データ部
DE: ECCデータ部

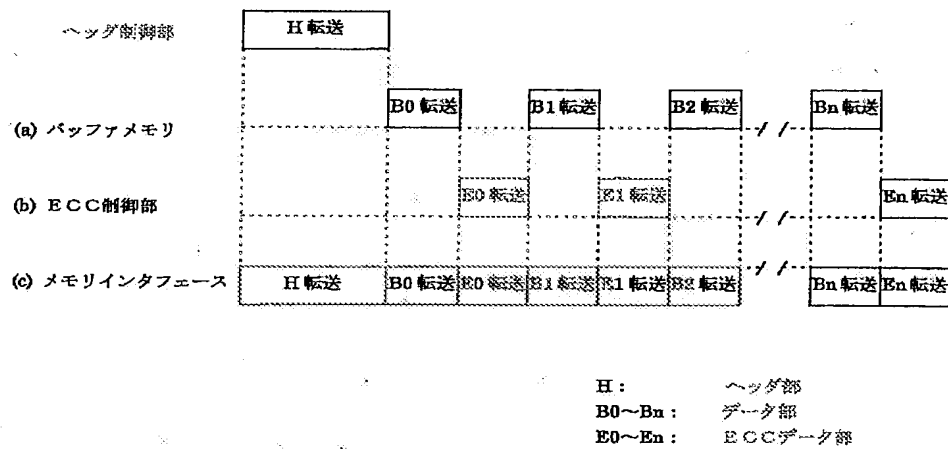
比較例のデータ転送タイミングチャート

【図7】



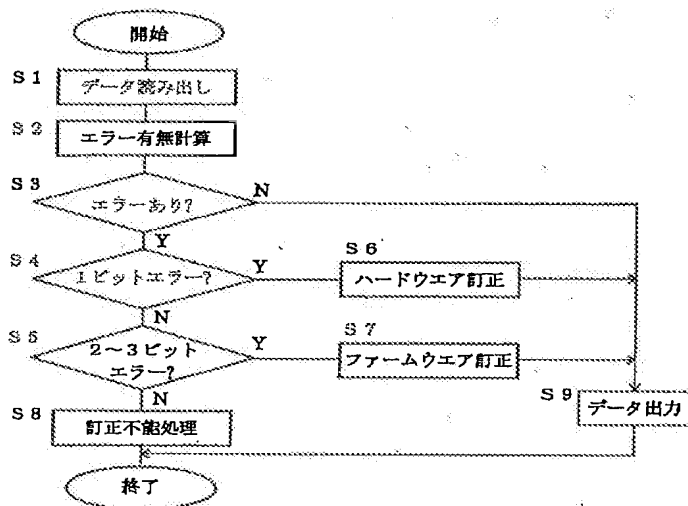
具体例1の変形例による格納データ

【図4】



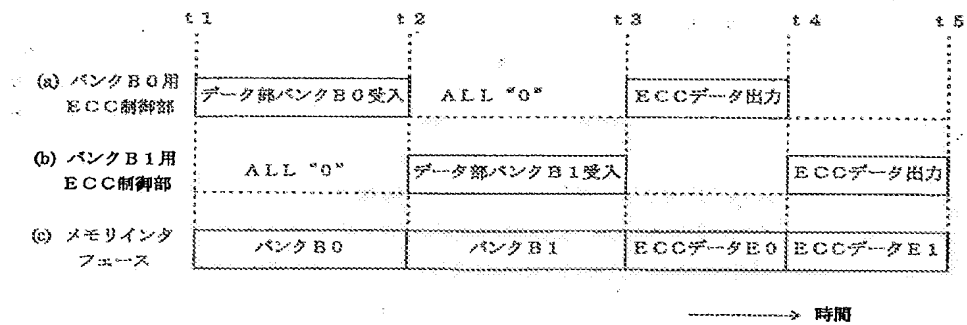
具体例1のデータ転送タイミングチャート

【図5】



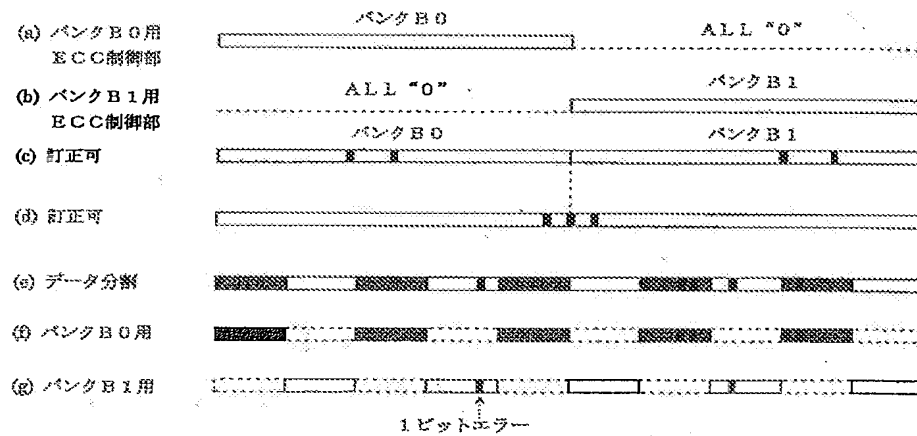
エラー訂正処理の動作フローチャート

【図9】



具体例2の装置のデータ転送タイミング

【図10】



具体例2の効果説明図